

# 実施項目7: 量子・HPC連携プログラム最適化技術 の研究開発

**(1)観測結果に対するエラー緩和技術、(2)量子ゲート数および量子ビット数を  
実効的に減らす量子回路最適化技術、および(3)量子状態に対するエラー訂正  
技術に関する研究開発を行う。**

# 量子・HPC連携ソフトウェアの構成と研究事業項目との対応

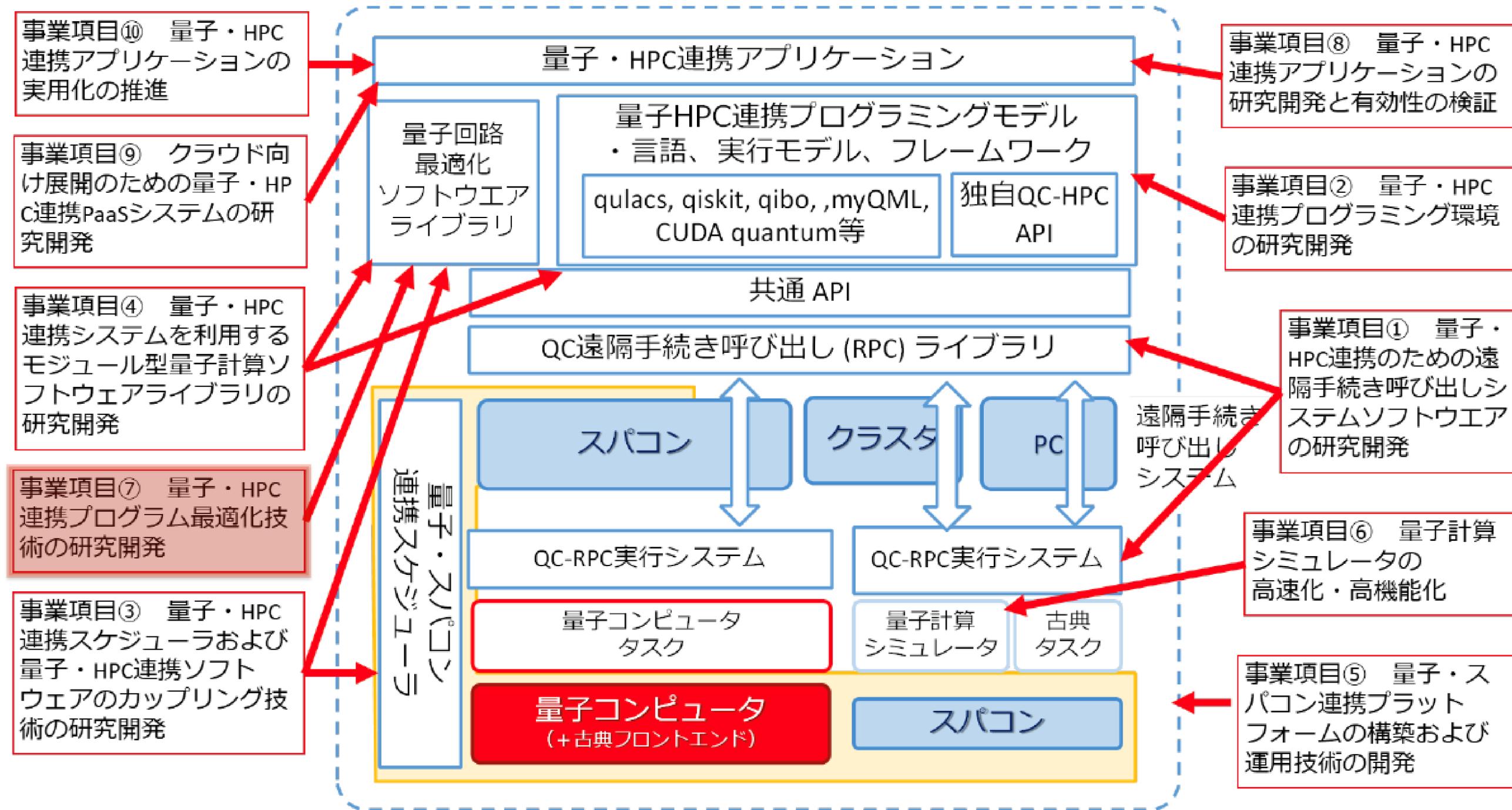


図5. 量子・HPC連携ソフトウェアの構成と研究事業項目との対応

# 量子・HPC連携プログラム最適化技術

## ■ 2024年度の実施内容（計画および実績）

(1)観測結果に対するエラー緩和技術の研究開発

(2)量子回路最適化技術の研究開発

(3)エラー訂正技術の研究開発

# 量子・HPC連携プログラム最適化技術

## ■ 2024年度の実施内容（計画および実績）

### (1) 観測結果に対するエラー緩和技術の研究開発

**計画**：事業項目6と連携しながら、ノイズモデルの選定やスパコン利用による効率化について、シミュレーションによる数値実験を行う。スパコン利用によるエラー緩和法の検討。

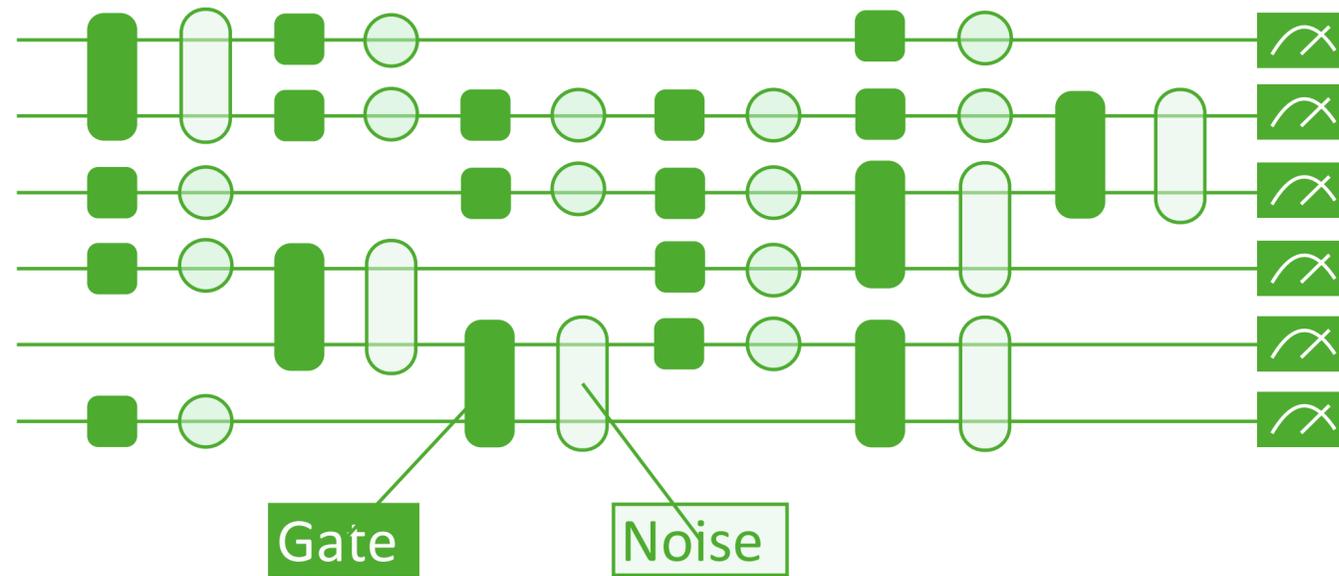
**実績**：ノイズありシミュレーションとして、純粋状態にノイズを確率的に挿入する quantum trajectory法と、混合状態にノイズを直接取り込むdeterministicなdensity matrix法の両者を採用し、開発を開始した。エラー緩和に関しては、テンソルネットワーク法を用いたtensor-network error mitigation(TEM)法を開発することを決定し、開発を開始した（QunaSys社と協働）。

### (2) 量子回路最適化技術の研究開発

### (3) エラー訂正技術の研究開発

# ノイズありシミュレーションとTEM法

## Quantum trajectory法



- それぞれの1及び2 qubit gateに対するノイズはquantum channelでモデル化 (例、depolarizing noiseの場合) :

$$\varepsilon_i^{(1q)}(\rho) = (1 - p_1)\rho + \frac{p_1}{3} \sum_{\alpha(\neq 0)} \sigma_i^\alpha \rho \sigma_i^\alpha$$

$$\varepsilon_{ij}^{(2q)}(\rho) = (1 - p_2)\rho + \frac{p_2}{15} \sum_{\alpha, \beta \neq (0,0)} \sigma_i^\alpha \sigma_j^\beta \rho \sigma_i^\alpha \sigma_j^\beta$$

Kicked Ising model with  $\theta_y = 0.5\pi, \theta_x = 0.9\pi$ . 2D heavy-hex lattice with 111 qubits,  $N_r=100$ .

- Time evolution with noise (quantum trajectory)

$$|\Psi(n)\rangle \rightarrow \sigma_{\alpha,i} |\Psi(n)\rangle \text{ with probability } P_\alpha \ (\alpha = 0,1,2,3)$$

$$P_0 = 1 - p_1, P_{\alpha=1,2,3} = \frac{p_1}{3}$$

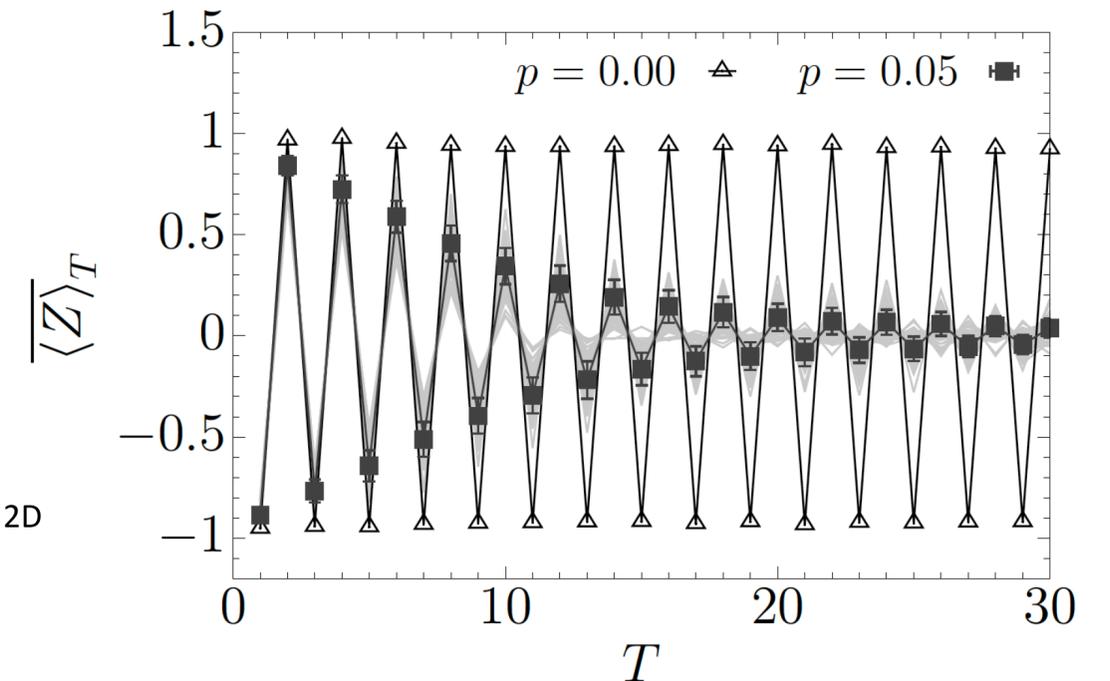
- measurement of observable:

density operator is approximated by  $\rho(n) \approx \frac{1}{N_r} \sum_r |\Psi_r(n)\rangle \langle \Psi_r(n)|$

quantum trajectories:  $\{|\Psi_r(n)\rangle\}$

$$\langle O \rangle = \text{tr}[O\rho(n)] = \frac{1}{N_r} \sum_r \langle \Psi_r(n) | O | \Psi_r(n) \rangle$$

- 2dTNS法によるノイズありシミュレーション (kicked Ising model)



# 量子・HPC連携プログラム最適化技術

## ■ 2024年度の実施内容（計画および実績）

(1)観測結果に対するエラー緩和技術の研究開発

### (2)量子回路最適化技術の研究開発

**計画**：前年度の構造探査方法をもとに、スパコン上で動作する並列計算用のライブラリを実装し、数量子ビットクラスの量子回路に対する動作試験を行う。

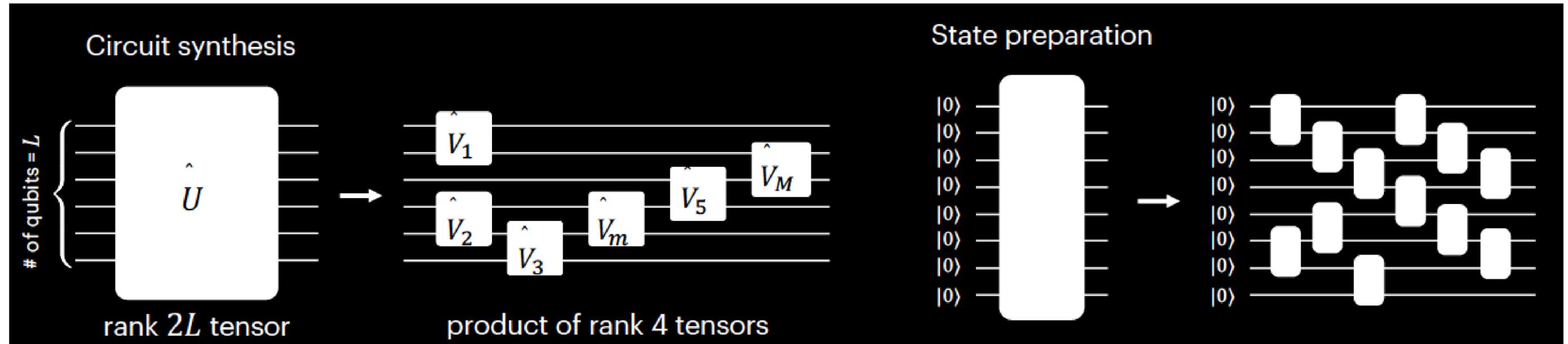
**実績**：進化計算を用いた量子回路最適化法を定式化し富岳に実装した。テンソルネットワーク法と組み合わせることで、100量子ビット級の量子回路最適化がスケーラブルに可能。

(3)エラー訂正技術の研究開発

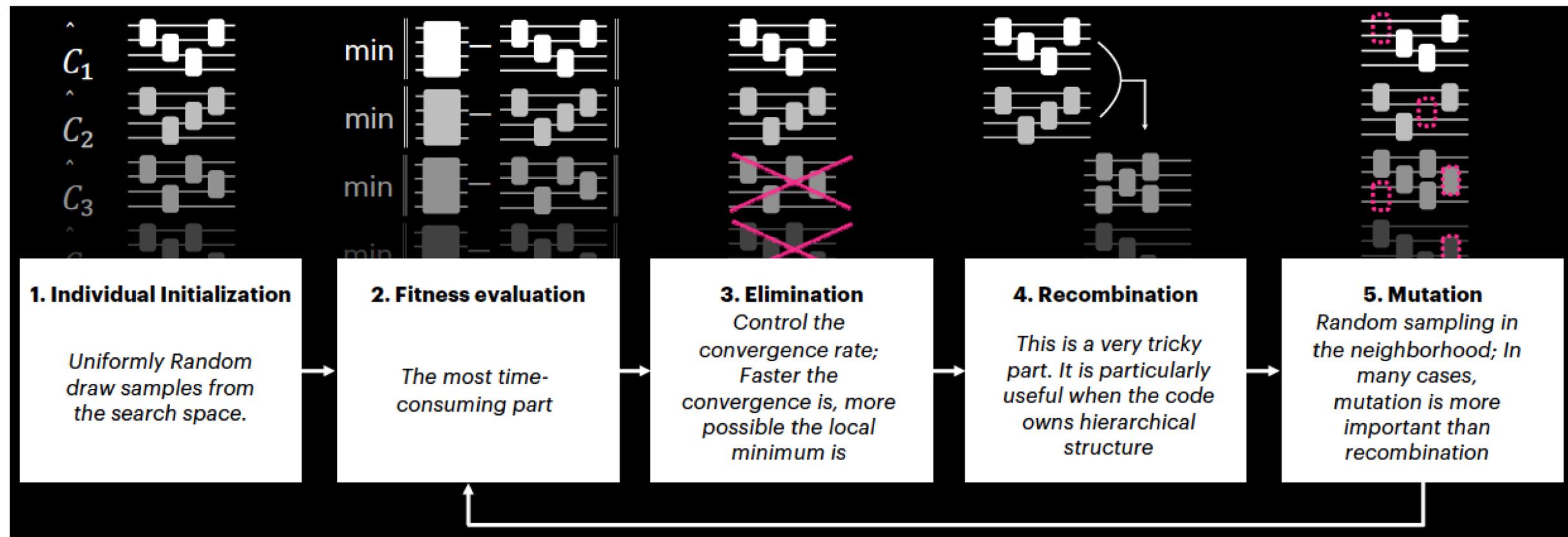
# 進化計算を用いた量子回路最適化

T. Shirakawa, C. Li, Q. Zhao, S. Yunoki, to be submitted

## ■ 目的 :



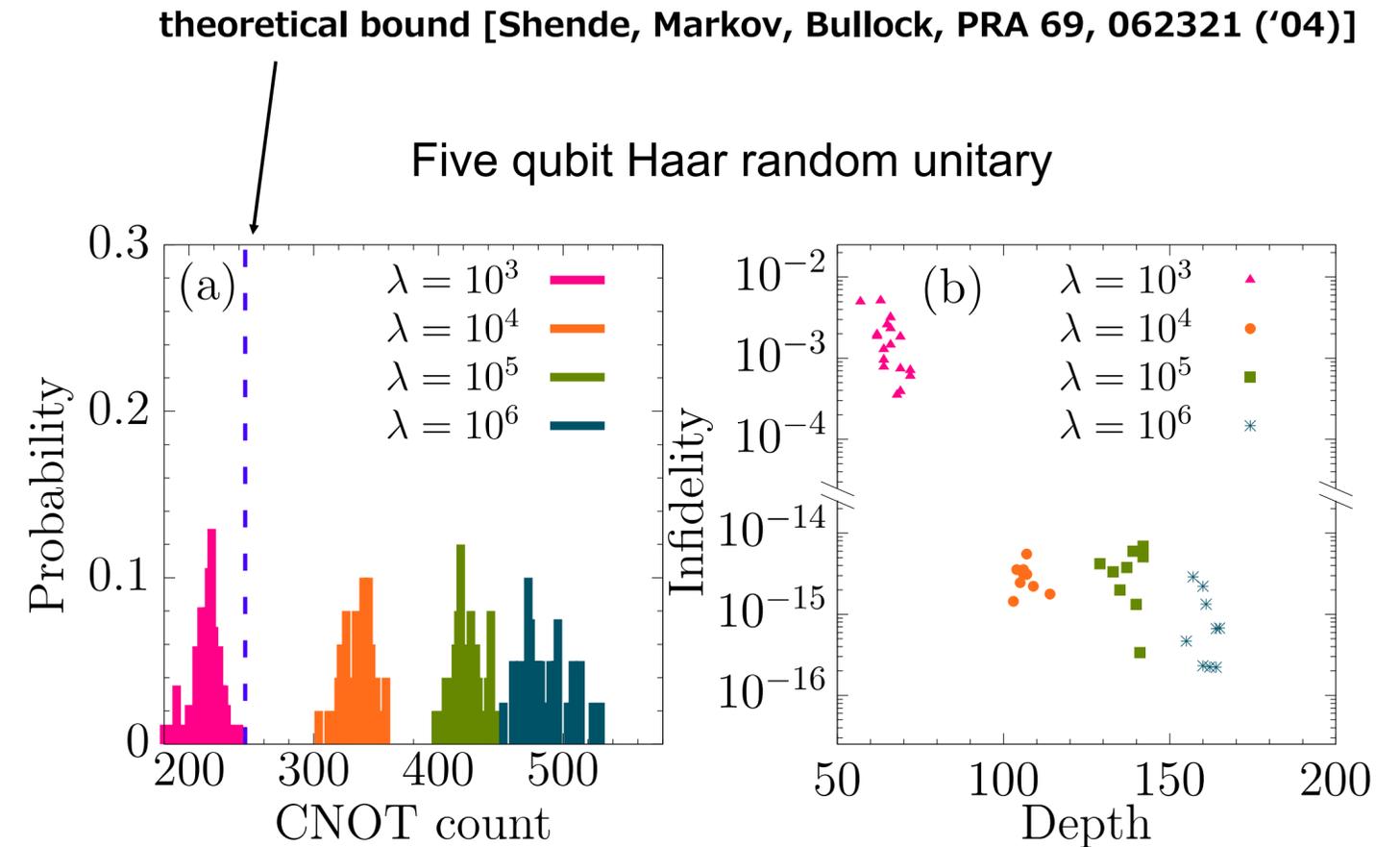
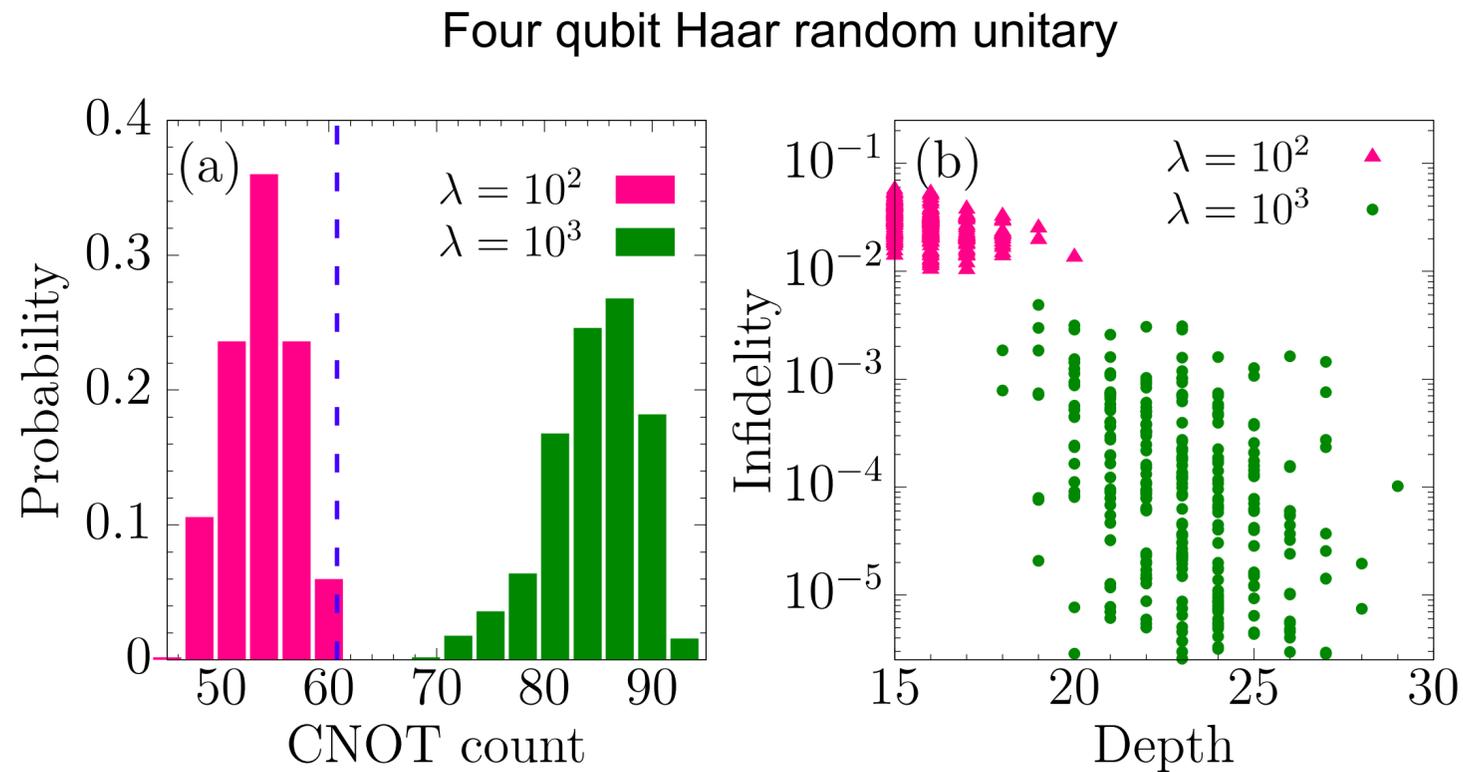
## ■ 進化アルゴリズム :



# 進化計算を用いた量子回路最適化

T. Shirakawa, C. Li, Q. Zhao, S. Yunoki, to be submitted

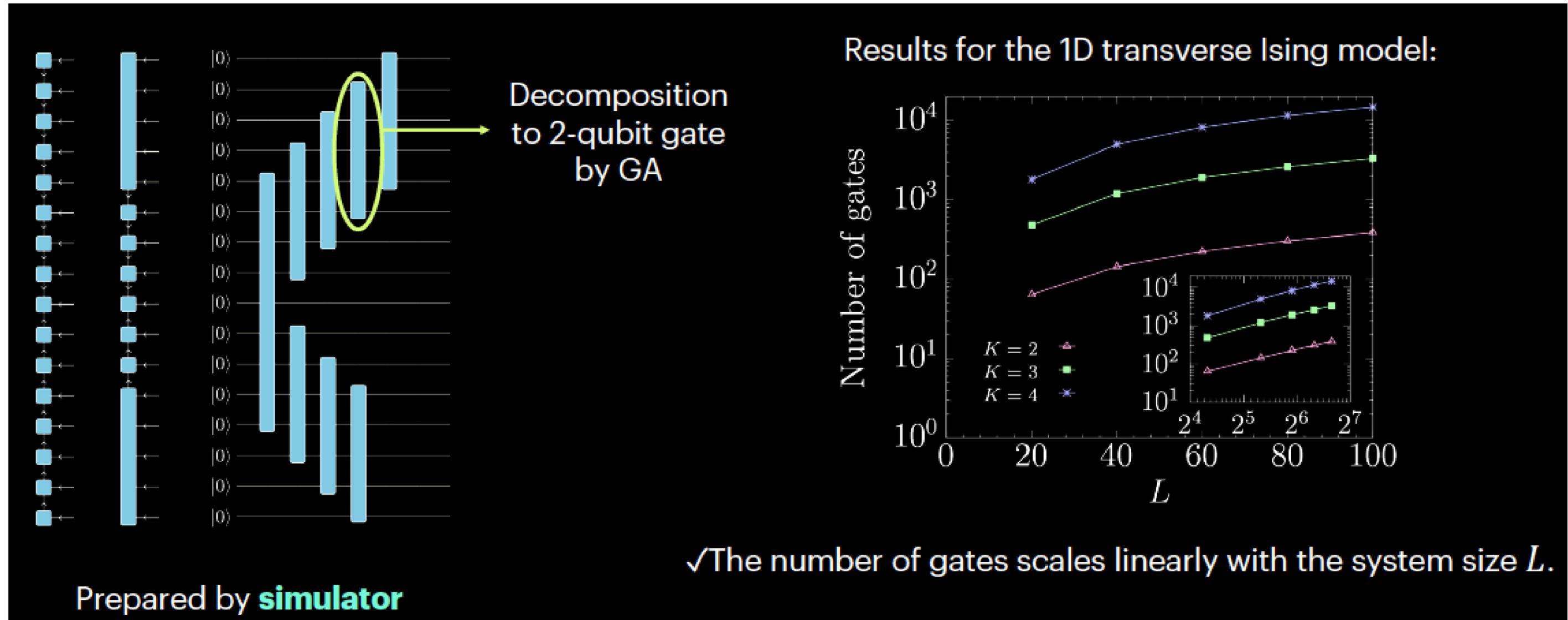
## ■ Haar random unitaryをelementary gatesに分割



# 進化計算を用いた量子回路最適化

T. Shirakawa, C. Li, Q. Zhao, S. Yunoki, to be submitted

## ■ MPS + 進化計算によるstate preparation



100 qubits程度のstate preparationが近似的に可能  
(H1-1の20 qubitsを用いたPOCを実施)

# 量子・HPC連携プログラム最適化技術

## ■ 2024年度の実施内容（計画および実績）

(1)観測結果に対するエラー緩和技術の研究開発

(2)量子回路最適化技術の研究開発

### (3)エラー訂正技術の研究開発

**計画**：適用が可能な符号化方法と量子エラー訂正方式を検討し、エラー訂正の遅延や処理スループットの技術的要件を明らかにする。実施項目6と連携しながら量子デバイス固有のエラーモデルの構築とその模擬方法を検討するとともに、理論量子ビットのエラー訂正アルゴリズム設計とそのソフトウェア実証に着手する。

**実績**：IBM及びQuantinuum社の量子コンピュータの特性や構造、制御システムなどの調査を行い、符号化方式や量子エラー訂正の適用可能性を検討した。